

WWW.ARTECH-GE.CH

Le mot du Président

L'actualité technique et scientifique

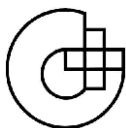
De Charles Babbage à Seymour Cray

Sur la route des pétaflops ...

Sorties et activités pour cette année

Liste des membres

Composition du comité 2006



Mot du Président

Chers membres,

Vous avez pu constater que la cotisation de l'ODEC (anciennement ASET) a fortement augmenté.

L'ODEC regroupe dès à présent tous les diplômés ES. Ce qui veut dire que notre association est en droit d'accepter des membres possédant un diplôme ES, mais ne venant pas d'un parcours professionnel « technique ». Une révision de nos statuts est à l'étude mais pas encore programmée.

Actuellement, l'ODEC fait signer des contrats de collaboration bilatérale entre les différentes associations de techniciens et eux-mêmes. Après lecture de ce document avec le comité, j'ai signé ce contrat de collaboration. Ce contrat est renouvelable annuellement. Dès lors, nous sommes donc affilié à l'ODEC en tant que membre à part entière.

Mais vous êtes toujours libre de continuer à payer uniquement la cotisation de l'Artech, pour ceux qui le désirent. Il n'y a aucun problème.

Cette ouverture souhaitée par l'ODEC devrait lui permettre d'augmenter son nombre d'adhérents. Actuellement, le nombre de membres de l'ODEC se situe autour des 2500 personnes. La stratégie de l'ODEC est d'obtenir le plus de poids possible dans les discussions politiques qui concernent la formation professionnelle.

Concernant la formation professionnelle à Genève, il y a du changement dans l'air. En effet, la structure de l'école EET va accueillir ses derniers élèves pour la rentrée 2007. Dès lors, toutes les écoles professionnelles du canton vont être réparties en différents pôles. Ceci faisant suite à la nouvelle loi sur la formation professionnelle. Pour ceux que cela intéresse, vous pouvez trouver toutes les informations sur ce site <http://129.194.187.5:8080/default.html>. (Je m'excuse, mais leur DNS n'existe pas.). Ou encore en lien sur notre site ARTECH-GE

Pour terminer, nous accueillons au sein du comité Olivier Fraternal, qui est issu de la branche mécanique et qui nous a rejoint en tant que nouveau secrétaire de l'association. Donc,

Bienvenue à toi Olivier.

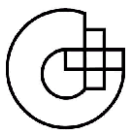
Avec toute mon amitié et à très bientôt

Didier Moullet

Président ARTECH-GE

Impressum

Editeur :	comité ARTECH
Rédaction :	Christophe Battagliero Marc Berchten Didier Moullet
Mise en pages :	Ch. Battagliero
Correspondance :	ARTECH Case postale 5490 1211 Genève 11 Stand
e-mail :	contact@artech-ge.ch
Le bulletin de l'ARTECH paraît 2X par an	
Tirage :	80 exemplaires

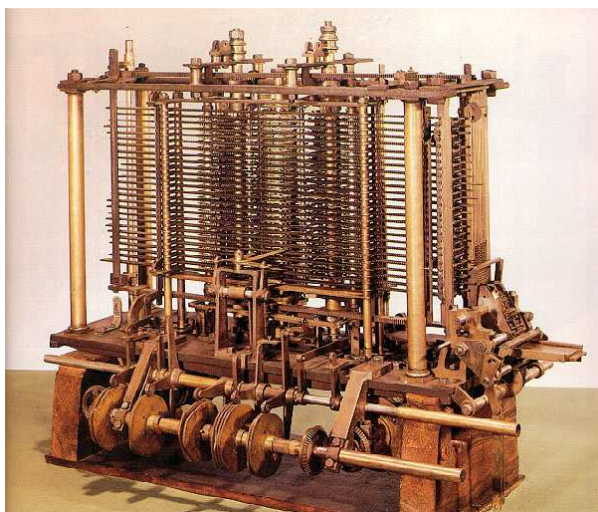


De Charles Babbage à Seymour Cray

Qui n'a pas entendu parler de Seymour Cray, qui est, sans conteste, la figure centrale de l'histoire du supercalculateur ? Il y a eu l'avant Cray, les années Cray (1965 à 1995) et l'après Cray. Mais si l'on cherche un grand-père pour cette discipline, on peut remonter jusqu'à Charles Babbage au XIX^e siècle.

La préhistoire des supercalculateurs se confond plus ou moins avec celle de l'ordinateur. Les pionniers de l'informatique visaient en effet à automatiser le calcul scientifique, et c'est bien plus tard que furent envisagées des applications plus « littéraires » comme la gestion des entreprises ou le traitement de texte.

Le concept de calculatrice programmable a tout d'abord germé dans l'esprit du mathématicien londonien **Charles Babbage** (1791-1871). Son « *Analytical Engine* » qu'il conçoit à partir de 1834, est bien entendu mécanique, et par ailleurs décimal, mais il comporte un « moulin » (« *mill* », autrement dit une unité centrale), un « magasin » (« *store* », une mémoire centrale), un lecteur de cartes perforées emprunté à Jacquard pour les entrées et une imprimante pour les sorties. Surtout, cette machine, programmable à l'aide de séquences d'instructions enregistrées sur des cartes perforées, est aussi capable d'effectuer des boucles et même d'en sortir à l'aide d'instructions de saut conditionnel.



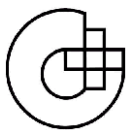
L'Analytical Engine

Peut-on déjà parler de supercalculateur ? Charles Babbage prévoyait une mémoire généreuse de 1000 nombres de 50 chiffres. La machine devait être imposante : 30 mètres sur 10, mais seul un fragment fut réalisé de son vivant. Sans doute parce qu'il la réinventait chaque jour tandis que l'atelier exécutait les plans de la veille...

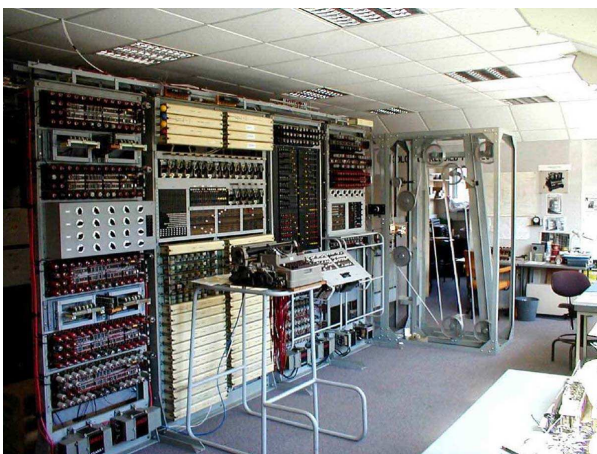
UNE MACHINE IMPOSANTE

Le premier ordinateur binaire fut réalisé un siècle plus tard à Berlin. **Konrad Zuse** finalise sa première machine, la **Z1**, en 1938 dans le salon de ses parents. Elle est strictement mécanique mais les roues à 10 positions des calculatrices décimales sont remplacées par des bascules, des dispositifs mécaniques à deux positions stables. Le programme est stocké sur bande perforée. Point important, la Z1 comporte une mémoire de 64 nombres binaires sur 22 bits, déjà représentés « *en virgule flottante* », ce qui facilite le calcul sur des nombres très petits ou très grands. Dans la foulée, Konrad Zuse réalise la **Z2** dont la mémoire est réalisée à l'aide de 800 relais électriques. Enfin, en 1941, la **Z3**, entièrement électro-mécanique, comporte 2400 relais. Elle fonctionne mais un bombardement la détruit. Zuse la reconstruira en 1961.

C'est pendant l'été 1942 que le professeur **John Atanasoff** et son étudiant **Clifford Berry**, de l'Iowa State University, présentent le premier calculateur électronique : l'**ABC** (*Atanasoff Berry Computer*). Il comporte 311 tubes à vide, fonctionne à la fréquence de 60 Hz, réalise une addition par seconde mais ... n'est pas programmable. En revanche, il présente, déjà, une caractéristique qui deviendra moderne bien plus tard : il calcule en parallèle (30 additions simultanément).

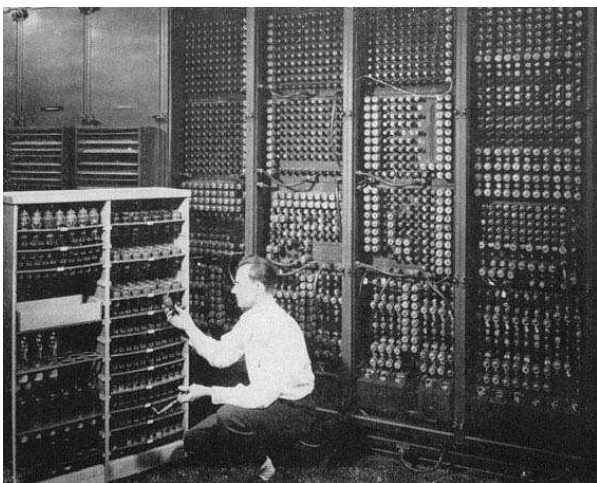


Une autre machine précocement destinée au calcul intensif est ce fameux **Colossus** qui, dès février 1944, à Bletchley Park, près de Londres, « cassait » les codes secrets nazis : 1500 tubes à vide, 5000 opérations par secondes... mais il s'agit d'une calculatrice spécialisée difficilement programmable.



Le Colossus

En février 1946, à défaut d'être un vrai ordinateur, l'**ENIAC** (**E**lectronic **N**umerical **I**ntegrator **A**nd **C**omputer) de l'université de Pennsylvanie est un petit monstre tout électronique : 30 tonnes, 160 kW consommés, pour 50'000 opérations par seconde. Mais pas de virgule flottante et on le programme à l'aide d'interrupteurs et de cordons enfilés dans des matrices de prises.



L'ENIAC

Mentionnons en passant la naissance, le 21 juin 1948 à Manchester, de « **Baby** », alias « **Manchester Mark I** », le premier véritable ordinateur jusqu'au bout des ongles, conforme au modèle dit de **von Neumann**, puisque respectant même le principe du programme enregistré en mémoire centrale. L'ordinateur devient un produit. En septembre 1950, Konrad Zuse vend un exemplaire de son **Z4** à l'ETH de Zürich. Six mois plus tard est livré le premier exemplaire de l'**Univac I**. Quarante-cinq autres suivront.

En Union soviétique, **Sergèï Alexeïevitch Lebedev** réalise en 1953 sa **BESM** (**B**ystrodejvoritstvuyushchaya **E**hlektronno **S**chetnaya **M**ashina, machine à calculer électronique rapide), qui calcule en virgule flottante sur 39 bits grâce à 5000 tubes. Un seul exemplaire sera construit. En 1955, apparaît aux Etats-Unis l'**IBM 704**, le premier ordinateur commercial scientifique, avec virgule flottante.

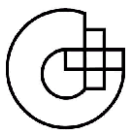


L'IBM 704

LA RÉVOLUTION CRAY

En 1957 est fondée la société **CDC** (**C**ontrol **D**ata **C**orporation) qui va lancer une impressionnante série d'ordinateurs à vocation scientifique. C'est d'abord, en 1958, le **CDC 1604**, premier ordinateur commercial entièrement transistorisé. La machine est puissante, manipule le nombre flottant sur 48 bits, mais on n'a encore rien vu.

Son architecte, un certain **Seymour Cray** (1925-1996), donne la mesure de son talent en 1965 en présentant le **CDC 6600**, premier supercalculateur commercial. C'est une petite révolution. La machine



impressionne à la fois par ses performances son élégance et la simplicité de son architecture. Priorité absolue est donnée au calcul en virgule flottante, sur 60 bits, une précision jamais vue. Cray a prévu deux multiplicateurs flottants, un diviseur, un additionneur et d'autres opérateurs ultrarapides pouvant tous travailler en parallèle. Toute l'architecture est organisée pour « nourrir » ces opérateurs gloutons. La machine est rythmée par une horloge à 10 MHz, sa mémoire est gigantesque : 256'000 mots de 60 bits. Le CDC 6600 restera pendant 5 ans la machine la plus puissante du monde !

Le CDC 6600 séduit immédiatement le marché naissant du supercalculateur, à commencer par le CEA en France et les gros laboratoires du DoE (*Department of Energy*) impliqués dans le développement de l'arme nucléaire américaine, comme le LANL (*Los Alamos National Laboratory*) ou le LLNL (*Lawrence Livermore National Laboratory*)... Ils y prendront goût.

Dans le camp de l'autre superpuissance, Sergei Alexeievitch Lebedev crée en 1967 le **BESM-6**, transistoré, dont 355 exemplaires seront fabriqués sur 20 ans. Le retard sur l'Oncle Sam est modéré mais s'aggravera par la suite.

En 1969, Seymour Cray est de retour. Son **CDC 7600**, 10 fois plus puissant que le 6600, restera lui aussi 5 ans sur la première marche du podium. Cette fois Seymour Cray s'est heurté de plein fouet à un problème récurrent de la spécialité : **le dégagement de chaleur...** L'air pulsé ne suffisant plus à refroidir les modules très denses du 7600, il a fait appel au refroidissement par circulation d'un liquide.

Lassé d'une hiérarchie qui a d'autres objectifs que le sien, concevoir l'ordinateur le plus puissant du monde, Seymour quitte CDC en 1972 et crée **Cray Research**.

Le **Cray 1** est un mythe dès sa sortie en 1975. Commentaires dithyrambiques. Cadencé par une horloge à 80 MHz, il peut produire deux résultats flottants par cycle de 12.5 nanosecondes et comporte une mémoire de 1 million de mots de 64 bits.

Le Cray 1 est une machine « **vectorielle** », optimisée pour effectuer la même opération sur des séries de nombres. Un concept essentiel sur lequel repose sa puissance est le « **pipeline** », qui applique au calcul le principe du travail à la chaîne. Chaque opérateur (additionneur, multiplicateur...) est décomposé en plusieurs étapes élémentaires qui traitent en même

temps des données différentes. A chaque cycle d'horloge, toutes les données transitent d'une étape à la suivante. Ainsi, lorsque deux nombres sont introduits dans un « pipeline » de division à 14 « postes », le résultat sort 14 cycles plus tard. Mais si deux vecteurs de 100 nombres sont injectés, les 100 résultats sont obtenus en 113 cycles.



Le Cray 1

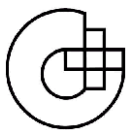
ARRIVÉE DU PARALLÉLISME

La concurrence est KO. Le Cray 1 devient LE supercalculateur. Il s'en vendra 80 exemplaires, à des prix variant entre 5 et 8 millions de dollars. Le marché s'est élargi à toutes sortes d'organismes de recherche, mais aussi à des industries : aéronautique, automobile...

En 1982, arrive un successeur « **multiprocesseur** ». Un **Cray X-MP**, c'est en substance deux ou quatre Cray 1, accélérés, améliorés et compactés, partageant une mémoire de 1 à 16 millions de mots.

En 1985, soit dix ans après le Cray 1, Seymour crée à nouveau l'événement avec le **Cray 2**, doté de huit processeurs et d'une mémoire colossale de 2 Go. Il est plus petit que ses prédécesseurs, la densité de composants atteint un nouveau record et le dégagement de chaleur est extrême. C'est pourquoi, Seymour Cray a choisi de le refroidir en plongeant carrément le Cray 2 dans un liquide réfrigérant : c'est le premier ordinateur-aquarium !!

La concurrence a commencé à se ressaisir. Après son **STAR 100** de 1974, son **Cyber 205** de 1981, CDC a repris l'offensive en 1989 avec l'**ETA 10**, qui restera quatre ans durant la machine la plus puissante sur le



marché. La compétition vient aussi du Japon, dont l'offre en la matière (*SX-1* de NEC en 1983, *VP-400* de Fujitsu en 1985) commence à séduire. Et puis surtout, depuis quelque temps, un mot d'ordre enfle : « **parallélisme** ». On ne pourra bientôt plus poursuivre la course à la manière de Seymour Cray, dit-on, il faut passer au parallélisme franc et massif.



Le Cray 2

MICROPROCESSEURS EN SÉRIE

Et de ce fait, Seymour Cray va connaître l'échec. En 1989, il crée une nouvelle entreprise pour poursuivre tranquillement son projet de *Cray 3* qui prend du retard. Il ne livrera en tout et pour tout qu'un quart de Cray 3 en 1993 avant de faire faillite en 1995. Il veut repartir aussitôt à l'assaut d'un hypothétique *Cray 4* mais Seymour Cray meurt dans un accident de la circulation en 1996.

Le parallélisme, donc... Mais combien de processeurs ? Comment les connecter entre eux ? Où mettre la mémoire ? Les idées fusent, les start-up aussi. En 1985, par exemple, Thinking Machine présente sa *CM-1 (Connection Machine)* : 65536 processeurs minimaux exécutent ensemble la même instruction sur des données différentes, un concept

architectural (SIMD pour Single Instruction Data) qui ne connaîtra qu'un mince succès.

Entre ce parallélisme franchement « massif » et celui très modéré de Cray, une voie médiane se profile, assise sur un constat économique : le rapport performances / prix des microprocesseurs du marché est imbattable, parce qu'ils sont produits massivement. Reste à trouver le moyen de faire collaborer efficacement un grand nombre d'entre eux. Intel est l'un des premiers en 1985 à concrétiser cette idée avec son *iPSC/1 (Intel Parallel Scientific Computer)*, réunissant 128 microprocesseurs. D'autres pionniers de cette drôle d'ère se nomment *nCube*, *BBN*, *Meiko*, *FPS*, *Sequent*, *Parsytec*, *MasPar*... Après une phase de prolifération, la sélection naturelle a fait son œuvre.

Dans les années 90, le parallélisme se banalise, le processeur vectoriel recule devant le microprocesseur triomphant. Un recentrage s'effectue autour d'un axe, qui oppose les architectures « fortement couplées » permettant à un nombre raisonnable de processeurs d'accéder à une mémoire partagée, aux architectures distribuées où un plus grand nombre de processeurs à mémoire locale, mais sans mémoire commune, collaborent en échangeant des messages. Ces dernières années, la seconde manière gagne progressivement du terrain sur la première.

Mais on voit également se multiplier des solutions mixtes réunissant, *via* un réseau d'interconnexion par messages, des nœuds constitués de plusieurs processeurs couplés par mémoire partagée. L'avenir (proche) est sans doute là ...

(Source : Web, La Recherche)

C.B.

Sur la route des pétaflops...

Dans leur course à la puissance, les concepteurs de supercalculateurs se heurtent à une multitude d'obstacles techniques et économiques. Petit tour d'horizon.

À peine nous étions nous familiariser avec le « *téraflop* », que le petit monde des supercalculateurs parle de passer à la vitesse supérieure, celle du « *pétaflop* » (1 million de milliards d'opération à la seconde). Certains réfléchissent, se concertent, notamment aux Etats-Unis et au Japon, pour proposer des solutions permettant d'effectuer ce million de milliards d'opérations « *en virgule flottante* » par seconde. Un objectif qui devrait être atteint avant 2010.

Dans les années 60, la puissance des supercalculateurs se mesurait en mégaflops, c'est-à-dire en millions d'instructions par seconde. Ensuite, les monstres des années 80 affichaient des gigaflops (comme le Cray 2 en 1985). Et puis dès 1997, coup d'accélérateur : le *ASCI Red* d'Intel passe la barre du téraflop, mille milliards d'opérations à la seconde. Depuis 10 ans donc, les machines les plus puissantes du monde se jaugent en téraflops. La championne du monde en titre, *BlueGene/L*, atteint les 281 téraflops au Top 500 des supercalculateurs. Construit par IBM pour le département de l'Energie des Etats-Unis, ce petit monstre simule le vieillissement des têtes nucléaires au LLNL (Lawrence Livermore National Laboratory) en Californie. Quant au 500^{ème} du classement, il développe tout de même 1,6 téraflop.

Quels progrès ont permis d'atteindre de telles puissances ? On le sait, aujourd'hui, le maître mot est « *parallélisme* » : on met les petits ordinateurs dans les grands. Mais il y a mille manières de le faire... Sur quels paramètres jouent les architectes ? Quelles limites faut-il repousser pour aller au-delà ?

La puissance d'un supercalculateur résulte de l'interaction de multiples facteurs. *BlueGene/L* a développé, au banc d'essai, une puissance de 281 téraflops. Nous sommes en présence d'une machine de type *MPP* pour « *Massively Parallel Processing* ». De fait, elle héberge une petite troupe de 131'072 processeurs. *BlueGene/L* est un système à mémoire distribuée : chaque processeur dispose de sa propre mémoire et dialogue avec les autres en échangeant des messages *via* un réseau d'interconnexion sophistiqué.

Le processeur employé est un *PowerPC 440*, développé au départ par IBM pour des applications dites « *embarquées* », donc, entre autres, chiches en énergie. Il est cadencé à 700 MHz, quand le moindre PC vendu en grande surface caracole à 3 GHz. Sa puissance individuelle (théorique) est modeste : 2,8 gigaflops. Constat étrange : les ordinateurs les plus puissants du monde ne seraient pas forcément réalisés avec les microprocesseurs les plus véloces du moment ...



BlueGene/L

L'explication ? L'équipe dirigée par Alan Gara, qui a conçu *BlueGene/L*, la donne sans détour dès la première page d'un article présentant son architecture générale. Pour optimiser la puissance d'une machine qui occupera des alignements de dizaines d'armoires, il faut tout d'abord optimiser la puissance par armoire. Or, l'une des limites les plus sévères que l'on rencontre dans la conception d'une armoire est la quantité de chaleur que l'on est capable d'en extraire, qui est de l'ordre de 20 kW dans le cas du refroidissement par air. Notons au passage que le refroidissement par circulation de liquide, qui a connu son heure de gloire à l'époque de Seymour Cray, revient timidement.

La chaleur dégagée par une puce découle directement de la puissance électrique qu'elle consomme. Laquelle est proportionnelle à sa fréquence d'horloge. En d'autres termes, une puce très rapide dégage tellement de chaleur que l'on ne peut pas en rassembler un trop grand nombre dans une armoire, sauf à recourir à un mode d'extraction de la chaleur plus coûteux, qu'il faudrait à son tour justifier. Voilà pourquoi Alan Gara a choisi ce Power PC 440 qui ne « tourne » qu'à 0.7 GHz mais dégage peu de chaleur. Résultat, son équipe a pu réunir 2048 processeurs dans une armoire. Cela, grâce à un coup de pouce supplémentaire : IBM utilise en fait une puce « maison » qui contient, entre autres, deux processeurs complets. Il n'en faut donc que 1024 pour réunir 2048 processeurs. De ce fait, les 131'072 processeurs de BlueGene/L (dans sa version actuelle) occupent « seulement » 64 armoires, ce qui est remarquable pour ce niveau de puissance.

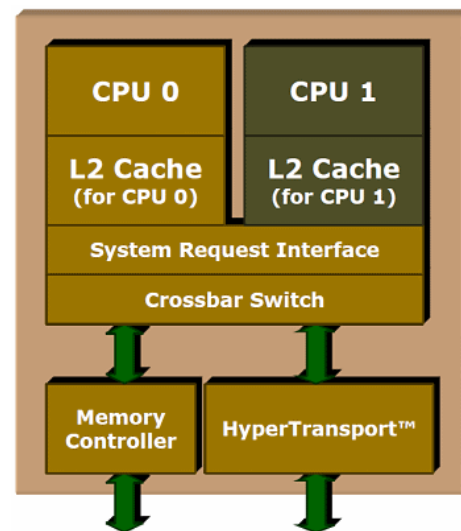
IBM fut en 2001 un pionnier de la puce « *dual-core* » (à deux cœurs). Toute l'industrie suit cette tendance. La tendance à la fréquence est en train de se calmer. En revanche, le « *multicore* », c'est-à-dire la multiplication des processeurs sur une même puce, est en train de se généraliser. C'est une façon d'offrir plus de puissance de calcul sans dégagement de chaleur excessif.

Le fait de rassembler autant de processeur dans un petit volume a des conséquences lourdes. Sur une machine parallèle, le travail est distribué auprès de multiples processeurs, et il faut bien de temps en temps que ces derniers « se parlent », échangent des données. Dans le cas de BlueGene/L, lorsqu'un processeur doit parler à son voisin, il y a de bonnes chances que celui-ci soit proche, puisqu'il y en a déjà 2047 dans son armoire.

Car dialoguer avec un interlocuteur lointain est synonyme de perte de temps, à cause de la vitesse de l'électricité, qui ne peut excéder celle de la lumière. Le signal parcourt quelque vingt centimètres par nanosecondes dans un bon conducteur, dix centimètres dans un mauvais. La puce qui est à l'autre bout de l'armoire est déjà, en gros, à dix nanosecondes, celle qui est de l'autre côté de la salle, à une voire des centaines de nanosecondes...

Ainsi, les efforts pour accélérer encore les supercalculateurs rencontrent inéluctablement deux « murs » dressés par les lois de la physique. Le « *mur de la lumière* » est imposé par la finitude de la vitesse de propagation des ondes électromagnétiques. Le « *mur de la chaleur* », celle qui est dégagée par l'électronique et qu'il faut évacuer pour maintenir

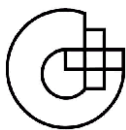
une température raisonnable, s'oppose à l'augmentation à outrance des fréquences et de la densité de composants dans un volume donné. Le concepteur est en quelque sorte coincé entre ces deux murs. D'un côté, il aimerait rapprocher tous les composants, tous les organes de sa machine dans un dé à coudre, afin de minimiser les délais de transmission. De l'autre, il doit les éloigner pour que la température reste raisonnable. BlueGene/L nous montre une façon de se frayer un chemin entre ces deux murs...



Le Dual-Core

Columbia, 4^{ème} supercalculateur au Top 500, a été réalisé par SGI (Silicon Graphics, Inc.) pour la NASA. Il est installé au Ames Research Center Mountain View en Californie. Cette machine peut – être décrite comme une « *grappe de 20 nœuds* » comportant chacun 512 processeurs, partageant une mémoire commune *via* une technologie d'interconnexion appelée *NUMA*. *Columbia* héberge 10 160 processeurs et avoue 52 téraflops.

La puissance théorique de chaque processeur est ici de 6 gigaflops, contre 2,8 chez BlueGene/L. Un écart notable qui indique clairement une autre manière de voir les choses. Le processeur employé est cette fois un *Itanium 2*, un microprocesseur proposé par Intel, que l'on retrouve, sous des marques variées, sur de nombreux serveurs. La version employée ici galope à 1,5 GHz, soit une fréquence double de celle choisie chez IBM. SGI a réussi à rassembler 512 de ces processeurs dans une armoire, ce qui donne une densité de l'ordre de 2,5 téraflops par armoire (4 pour BlueGene/L).



La plus grosse différence entre les processeurs employés par IBM et SGI est d'ordre économique. SGI utilise une puce « du commerce », donc bon marché, tandis qu'IBM qui est l'un des rares industriels à maîtriser la technologie des microprocesseurs, a mis à contribution son savoir-faire en la matière. La puce qui fait palpiter BlueGene/L est un « ASIC » (Application Specific Integrated Circuit), un circuit intégré spécialisé. C'est une puce « semi-custom » : IBM a repris le dessin d'un processeur existant et l'a inclus (2 fois) dans une puce complexe comprenant par ailleurs de la mémoire et des circuits annexes. Le coût d'une telle opération est à mi-chemin entre celui de la haute couture et de la confection.

Il faut aller au numéro 7 du Top 500 pour trouver une machine « vectorielle ». *L'Earth Simulator*, installé à Yokohama (Japon), a été fabriqué par NEC sur commande gouvernementale. Il était encore numéro 1 au classement de juin 2004. Sa puissance ? 36 téraflops, obtenue à l'aide de 5120 processeurs. Il s'agit plus précisément d'un ensemble de 640 nœuds comportant chacun 8 processeurs vectoriels partageant une mémoire commune, interconnectés par un puissant réseau à passage de message du type « *crossbar* ». Ces 640 nœuds occupent rien moins que 384 armoires (dont 64 d'interconnexions) sur une surface de 3250 m². Un record !

Chaque processeur développe 8 gigaflops, encore plus que l'Itanium de Columbia. Earth Simulator nous offre donc un troisième cas de figure, celui d'un rare constructeur qui a investi dans la conception d'un « processeur vectoriel », plus adapté au calcul scientifique qu'un microprocesseur ordinaire.



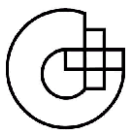
L'Earth Simulator

Ils ne sont plus que deux constructeurs « historiques » à suivre encore la voie du vectoriel : NEC et Cray. Lequel propose d'ailleurs, à côté de sa série vectorielle *XIE* deux autres familles de supercalculateurs qui ne le sont pas. Seules 2,4% des machines citées au Top 500 (18 sur 500) reposent sur des processeurs vectoriels, contre 10% en 2000 et 25% en 1995. Dès 1993 les très parallèles *CM-5* de Thinking Machines narguaient Cray aux quatre premières places du premier Top 500. Mais il aura fallu 12 ans, l'inertie de l'histoire aidant, pour que l'industrie achève son virage du vectoriel vers le parallèle.

Nous rencontrons cette fois, l'une de ces contraintes de nature économique qui conditionnent durement de nos jours l'évolution technologique du calcul scientifique haute performance. Le coût de conception d'un processeur original, *ad hoc*, est devenu exorbitant pour un constructeur de supercalculateurs. Un géant comme NEC, qui maîtrise toute la filière électronique et informatique, peut encore se le permettre mais pour combien de temps ? On voit qu'un autre géant très généraliste, IBM, se contente d'adapter un dessin déjà amorti. Pour tous les autres, la question ne se pose plus : ils utilisent des microprocesseurs « normaux », non conçus pour ça et peu chers. Leur conception est en effet amortie par un vrai marché de masse, celui des serveurs. La grande majorité des machines du Top 500 sont réalisées avec des puces de ce type, fabriquées par Intel (67%) et AMD (11%).

Une autre contrainte économique pèse lourd sur la conception de ces géants du calcul : le fait qu'une entreprise ait du mal à vivre en ne vendant que du gigantesque. Même IBM espère vendre des BlueGene de toutes tailles, jusqu'au modèle ne tenant que dans une seule armoire. Ce n'est pas pour rien que le marché est désormais « tenu » par deux fabricants... d'ordinateurs : IBM (44% du Top 500) et HP (34%), loin devant les acteurs historiques du marché du très gros qui furent SGI et surtout Cray qui se retrouvent ex aequo sur la troisième marche du podium avec...Dell, le roi du PC par correspondance.

Pour avoir sa chance sur le marché du supercalculateur, il faut désormais disposer d'un gros serveur ayant trouvé sa place sur le marché. Une armoire convaincante, contenant un nombre raisonnable (32, 64, 128...) de processeurs, plus ou moins étroitement interconnectés. Ensuite, on osera, le cas échéant, bâtir de grands ensembles à partir de cette pièce de Lego.



C'est bien ainsi, en passant du gros serveur au supercalculateur, que des constructeurs d'ordinateurs ont réussi à s'installer sur ce marché jadis réservé à des spécialistes. Hewlett-Packard a su se tailler une position enviable de numéro 2 du Top 500. Et c'est par une démarche similaire que Bull, s'appuyant sur sa gamme de serveurs *Novascale*, fait aujourd'hui son entrée sur ce marché en livrant au CEA un *Tera-10* qui devrait se placer près du sommet du Top 500.

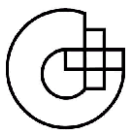
Une grande difficulté consiste de ce fait à choisir une philosophie d'interconnexion qui réponde bien, c'est-à-dire de manière rentable, à la demande initiale, tout en se prêtant également à la deuxième phase. Et qui permette de gagner de l'argent en vendant des machines à une armoire, à deux, à quatre, à huit... Dans le jargon, on dira que « *pour être rentable, il faut être scalable* », la « *scalability* étant la capacité de décliner la technologie dans laquelle on a investi en une gamme longue et crédible.

La chose est d'autant plus facile que l'on choisit une architecture à mémoire distribuée et « faiblement couplée ». C'est pourquoi, on voit fleurir une offre de variétés de « grappes » à l'interconnexion allégée, dont les éléments sont même parfois simplement reliés via un simple réseau local de type Ethernet (50 % du dernier Top 500).

L'époque semble se satisfaire d'un pragmatisme un peu honteux. Ici et là, pourtant, des chercheurs parlent de faire la révolution en enfourchant un séduisant paradigme : « *Stream Processing* », « *Reconfigurable Computing* » ou encore « *Processor In Memory* ». Mais outre qu'ils ne font pas l'unanimité, on ne voit guère entrer en lice pour l'épreuve du pétaflop. Les premières machines à franchir cette barrière symbolique ressembleront-elles aux champions actuels ? D'une part semblable à BlueGene/L, d'autre part semblable à une machine vectorielle de chez NEC ou une machine chinoise ...

(Source : Web, La Recherche)

C.B.



Sorties et activités

Bonjour à toutes et à tous,

Suite au succès remporté lors de la visite du CERN du mois de janvier dernier, le programme de cette année va se poursuivre comme prévu et être agrémenté d'une visite supplémentaire ainsi que d'une sortie récréative ...

Alors, à vos agendas !!!

La prochaine sortie aura lieu au :

Lac de Joux, le samedi 1^{er} juillet 2006 à 11h

Le programme est le suivant : Pique-nique, grillades, baignade, ...

Pour cette sortie, **le délai d'inscription est fixé au vendredi 23 juin 2006.**

Le nombre de place étant illimité (presque !), n'hésitez pas à venir en famille !!!

La seconde visite de l'année aura lieu à :

OM Pharma, le mardi 12 septembre 2006

Le programme est le suivant :

Visiter le Centre de Production Biotech de l'entreprise OM Pharma (22, rue du Bois-du-Lan 1217 Meyrin), qui comprend un circuit au travers des grandes étapes de fabrication (fermentation, extraction & purification) de médicaments et un aperçu des activités et utilités du Bâtiment Recherche.

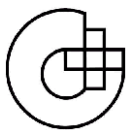
A savoir : L'heure de rendez-vous pour cette visite est fixée à **16h30 sur place.**

La durée totale de la visite est d'environ 2h.

Le port d'un pantalon est obligatoire et les chaussures à talons sont interdites.

Il n'y a que **10 places** de disponibles, elles seront attribuées en priorité aux membres de l'Association et selon leur date d'inscription.

Si vous souhaitez vous inscrire, laissez-moi impérativement votre nom, prénom, n° de téléphone, adresse e-mail (si vous en avez une !), afin que je puisse vous confirmer personnellement la validité de votre inscription.



Pour plus d'information, vous pouvez toujours consulter le site www.ompharma.com.

Pour cette visite, **le délai d'inscription est fixé au vendredi 18 août 2006.**

La troisième visite aura lieu au :

NLFA à AMSTEG, le samedi 11 novembre 2006

Il s'agit de visiter les NLFA (site d'Amsteg), communément appelées "les nouvelles transversales alpines".

Le programme sera approximativement le suivant :

- Départ de Genève aux alentours de 7h30; arrivée aux alentours de 11h
- Repas
- Début de la visite à 13h30 (pavillon d'informations + tunnel), fin de la visite à environ 17h
- Retour à Genève, arrivée aux alentours de 21h

Cependant, il y a trois choses importantes à noter :

- Les **commentaires et explications** sur le tunnel et les travaux **seront donnés en allemand.**
- Il n'y a que **15 places** de disponibles, elles seront attribuées en priorité aux membres de l'Association et selon leur date d'inscription.
- **Si vous souhaitez vous inscrire, laissez-moi impérativement vos coordonnées (nom, prénom, adresse, n° de téléphone, adresse e-mail** (si vous en avez une !), afin que je puisse vous confirmer personnellement la validité de votre inscription et vous donner plus de détails en temps voulu.

Plus de précisions vous seront communiquées dans le prochain journal d'octobre 2006.

Cela-dit, n'hésitez pas à visiter le site www.alptransit.ch.

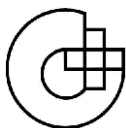
Pour cette sortie, **le délai d'inscription est fixé au vendredi 20 octobre 2006.**

Au plaisir de vous voir prochainement.

Amicalement

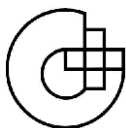
Marc Berchten

Inscriptions : **e-mail** : marc.berchten@firmenich.com
téléphone : 022.780.78.15 (journée)
079.729.79.38 (soirée)



Liste des membres

ANDREETA Pierre	Plan-les-Ouates	Electronique
BACHMANN Jean-Jacques	Grandson	Electronique
BAEZA Alexandre	Le Lignon	Electronique
BARRAS Pierre Léon	Carouge	Génie Civil
BASSO Roberto	Meyrin	Génie Chimique
BATTAGLIERO Christophe	Valleiry (F)	Génie Chimique
BERCHTEN Marc	Challex (F)	Génie Chimique
BOCHATAY Olivier	Vernayaz	Mécanique
BOUNAB Deif	Prilly	Génie Civil
BUCLIN Marc	Bernex	Electronique
CARNEIRO SOARES Paulo	Genève	Génie Civil
CARRETI Robert	Gaillard (F)	Mécanique
DAENZER Frédéric	Les Moulins	Electronique
DECAILLET Alain	Genève	Electronique
DESCHENAUX Jean-Paul	Carouge	Génie Civil
DESIMONE Laurent	Epalinges	Informatique
DI LUCA Serge	St Genis-Pouilly (F)	Electronique
DIVOUX Jean-Noël	La Chaux-de-Fonds	Electronique
DONADELLI Igor	Renens	
DUMONT Laurent	Monthey	Mécanique
ESSELBORN Philippe	Mies	Génie Chimique
FERRIERO Giuseppe	Coppet	Electronique
FRATERNALE Olivier	Vernier	Mécanique
FREIHOLZ Alain	Founex	Informatique
GIROUD Jean-Louis	Vandoeuvres	Mécanique
GUIDI Marco	Perly	Mécanique
HARTH René	Genève	Mécanique
HAUSAMANN Laurent	Villars-Burquin	Electronique
HEIMO Philippe	Croix-de-Rozon	Informatique
IMBRUGLIA Piero	Genève	Génie Chimique
JANUSZEWSKI Yves	Bernex	Mécanique
KUNZ Philippe	Chêne-Bourg	Génie Civil
LANZILLOTTA Agostino	Corsier/Vevey	Génie Civil
LEGRAND Christian	Châtillon-sur-Cluses (F)	Electronique
MAURY Christian	Préverenges	Génie Civil
MEYLAN Mathieu	Renens	Informatique
MONNET Raphaël	Bex	Mécanique
MOULLET Didier	Carouge	Electronique
NINO Francisco Javier	Genève	
QUADRI Vincent	Versoix	Mécanique
NUSBAUMER Jean-Marc	Carouge	Génie-Civil
PASCHE Michel	Chexbres	Electronique
PAULY Alain	Ville-la-Grand (F)	Graphisme
PERRIER Eric	Orbe	Mécanique
PIACENZA Alain	Saint-Cergue	Génie Civil



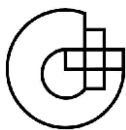
PONCE Jorge	Nyon	Electronique
PRADERVAND Alain	Vandoeuvres	Mécanique
ROESSLI Pierre-Alain	Sierre	Informatique
ROULET Thibault	Thônex	Informatique
SALYADOR Ahmet	Lausanne	Génie Civil
SCHÄR Frédéric	Meyrin	Electronique
SCHWARZ David	Le Lignon	Informatique
SCHWOB Jean	Bassins	Mécanique
SEGATORI Jean-François	Denens	Mécanique
SIEGFRIED Catherine	Yvoire (F)	Génie Chimique
SPYCHIGER Fabien	Prilly	Informatique
STEULET Christophe	Grand-Lancy	Electronique
VAGNI Giorgio	Genève	Electronique
VILLAR Elias	Lausanne	Mécanique
VON WARTENSLEBEN Aurélie	Grand-Saconnex	Génie Chimique
VUAGNAT Olivier	Carouge	Génie Civil
ZEHNDER Jacques	Bellevue	Genie Civil
ZILTENER Joseph	Dielsdorf	Mécanique

Liste des nouveaux membres

Nous avons le plaisir d'accueillir 2 nouveaux membres cette année :

QUADRI Vincent	Versoix
SPYCHIGER Fabien	Prilly

Le comité de l'Artech leur souhaite la bienvenue dans notre association.



Composition du comité 2006

Président	Didier MOULLET 3 rue du Pont-Neuf 1227 Carouge	Tél. privé : 022 343 82 86 Tél. prof. : 022 388 86 96 Natel : 079 442 10 47 Fax : 022 343 82 88 E-mail : didier@artech-ge.ch
Attaché relation ASET	Philippe ESSELBORN 10 route de Suisse 1295 Mies	Tél. privé : 079 518 95 07 Tél. prof. : 022 363 46 51 E-mail : philippe@artech-ge.ch
Trésorier	Serge DI LUCA 11 rue de Pouilly F-01630 St Genis-Pouilly	Tél. privé : +33 450 20 33 60 Tél. prof. : 022 767 56 40 Natel : 076 487 40 00 E-mail : serge@artech-ge.ch
Secrétaire	Olivier FRATERNALE 18 ch. de la Greube 1214 Vernier	Tél. privé : 022 341 51 42 Natel : 079 797 87 06
Rédacteur bulletin / Archiviste	Christophe BATTAGLIERO Les Erables Bât. D F-74520 Valleiry	Tél privé : +33 450 04 39 27 Tél prof. : 022 780 21 95 E-mail : christophe@artech-ge.ch
Rédacteur bulletin	Marc BERCHTEN 165 rue de la Treille F-01630 Challex	Natel : 079 729 79 38 Tél prof. : 022 780 78 15 E-mail : marc@artech-ge.ch
Webmaster	Thibault ROULET 22 ch. Edouard-Olivet 1226 Thônex	Tél. privé : 022 348 31 23 E-mail : thibault@artech-ge.ch